

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-082829

(43)Date of publication of application : 22.03.2002

(51)Int.Cl.

G06F 12/00

G06F 1/32

G06F 12/06

(21)Application number : 2000-269587

(71)Applicant : NEC KOFU LTD

(22)Date of filing : 06.09.2000

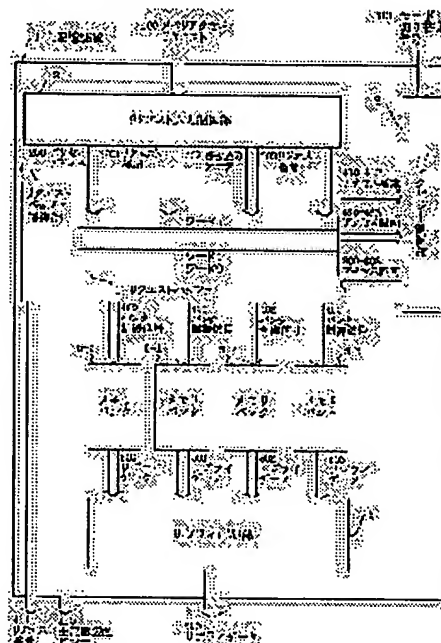
(72)Inventor : WATANABE TAKANORI

(54) DEVICE AND METHOD FOR CONTROLLING POWER CONSUMPTION

(57)Abstract:

PROBLEM TO BE SOLVED: To control the power consumption of a main storage device when a computer system operates.

SOLUTION: When a mode switching signal 101 instructs a normal mode, a bank busy controlling part 3 prohibits the start of new access processing to an optional memory bank 5-n ($0 \leq n \leq 3$) among a plurality of memory banks 5-0 to 5-3 between the time when access processing to the memory bank 5-n is started and the time when a predetermined bank busy time passes. On the other hand, when a power saving mode is instructed, access processing to all of the memory banks 5-0 to 5-3 is prohibited between the time when any of the plurality of memory banks 5-0 to 5-3 is started and the time when the bank busy time passes.



LEGAL STATUS

[Date of request for examination] 20.08.2001

[Date of sending the examiner's decision of rejection] 02.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

..

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-82829

(P2002-82829A)

(43)公開日 平成14年3月22日(2002.3.22)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 12/00	5 5 0	G 0 6 F 12/00	5 5 0 E 5 B 0 1 1
1/32		12/06	5 5 0 B 5 B 0 6 0
12/06	5 5 0	1/00	3 3 2 Z

審査請求 有 請求項の数11 O L (全 12 頁)

(21)出願番号 特願2000-269587(P2000-269587)

(22)出願日 平成12年9月6日(2000.9.6)

(71)出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72)発明者 渡辺 崇紀

山梨県甲府市大津町1088-3 甲府日本電

気株式会社内

(74)代理人 100088959

弁理士 境 廣巳

Fターム(参考) 5B011 EB01 HH02 KK02 LL11

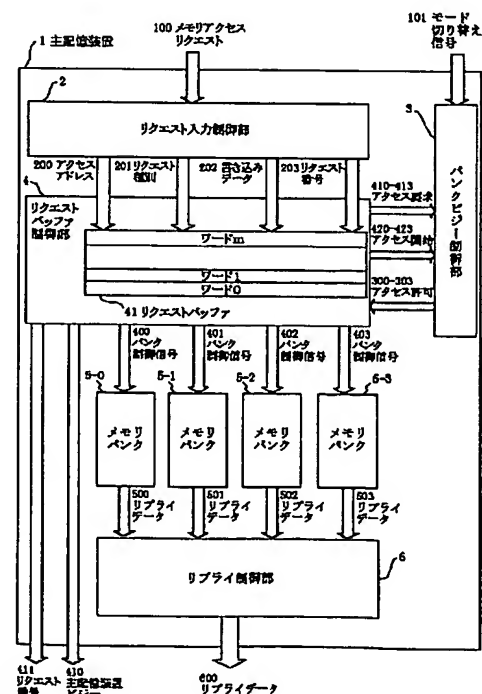
5B060 CA01 MM01

(54)【発明の名称】 消費電力制御装置及び消費電力制御方法

(57)【要約】

【課題】 主記憶装置の消費電力をコンピュータシステムの運用時に制御できるようにする。

【解決手段】 バンクビジー制御部3は、モード切り替え信号101によって通常モードが指示されている場合は、複数のメモリバンク5-0～5-3の内の任意のメモリバンク5-n ($0 \leq n \leq 3$) に対するアクセス処理が開始されてから予め決められているバンクビジー時間が経過するまでの間、メモリバンク5-nに対する新たなアクセス処理の開始を禁止する。これに対して、省電力モードが指示されている場合は、複数のメモリバンク5-0～5-3の内の何れか1つのメモリバンクに対するアクセス処理が開始されてから上記バンクビジー時間が経過するまでの間、全てのメモリバンク5-0～5-3に対するアクセス処理を禁止する。



【特許請求の範囲】

【請求項 1】 複数のメモリバンクを備えた主記憶装置の消費電力を制御する消費電力制御装置であって、前記各メモリバンクのバンクビジー状態を管理し、前記主記憶装置を備えたコンピュータシステムの運用中に加えられるモード切り替え信号によって省電力モードが指示されている場合は、前記モード切り替え信号によって通常モードが指示されている場合に比較して、バンクビジーにより前記各メモリバンクに対するアクセスが禁止される割合を多くするバンクビジー制御部を備えたことを特徴とする消費電力制御装置。

【請求項 2】 請求項 1 記載の消費電力制御装置に於いて、前記バンクビジー制御部は、前記モード切り替え信号によって通常モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから予め決められているバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止し、省電力モードが指示されている場合は、前記複数のメモリバンクの内の何れか 1 つのメモリバンクに対するアクセス処理が開始されてから前記バンクビジー時間が経過するまでの間、前記複数のメモリバンク全てに対するアクセス処理の開始を禁止する構成を有することを特徴とする消費電力制御装置。

【請求項 3】 請求項 2 記載の消費電力制御装置に於いて、前記バンクビジー制御部は、前記各メモリバンク毎のバンクビジーカウンタと、前記各メモリバンク毎のセクタ回路であって、前記モード切り替え信号によって通常モードが指示されている場合は、対応するメモリバンクに対するアクセス処理が開始された時、対応するバンクビジーカウンタにカウント開始を指示し、省電力モードが指示されている場合は、前記複数のメモリバンクの内の何れか 1 つのメモリバンクに対するアクセス処理が開始された時、対応するバンクビジーカウンタにカウント開始を指示するセクタ回路と、前記各メモリバンク毎のアクセス判定回路であって、対応するバンクビジーカウンタのカウント値に基づいて、対応するメモリバンクへのアクセス処理を許可するか否かを判定するアクセス判定回路とを備えたことを特徴とする消費電力制御装置。

【請求項 4】 請求項 1 記載の消費電力制御装置に於いて、前記バンクビジー制御部は、前記モード切り替え信号によって通常モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから第 1 のバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバン

クに対する新たなアクセス処理の開始を禁止し、省電力モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから前記第 1 のバンクビジー時間よりも長い第 2 のバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理を禁止する構成を有することを特徴とする消費電力制御装置。

【請求項 5】 請求項 4 記載の消費電力制御装置に於いて、前記バンクビジー制御部は、前記第 1 のバンクビジー時間に対応する第 1 のカウント値が設定される第 1 のバンクビジー時間設定レジスタと、前記第 2 のバンクビジー時間に対応する第 2 のカウント値が設定される第 2 のバンクビジー時間設定レジスタと、前記モード切り替え信号によって通常モードが指示されている場合は、前記第 1 のバンクビジー時間設定レジスタに設定されているカウント値を選択し、省電力モードが指示されている場合は、前記第 2 のバンクビジー時間設定レジスタに設定されているカウント値を選択するセクタ回路と、前記各メモリバンク毎のバンクビジーカウンタであって、対応するメモリバンクに対するアクセス処理が開始された時、前記第 1、第 2 のバンクビジー時間設定レジスタに設定されているカウント値の内の、前記セクタ回路によって選択されているカウント値のカウントを開始するバンクビジーカウンタと、前記各メモリバンク毎のアクセス判定回路であって、対応するバンクビジーカウンタのカウント値に基づいて対応するメモリバンクへのアクセスを許可するか否かを判定するアクセス判定回路とを備えたことを特徴とする消費電力制御装置。

【請求項 6】 請求項 1 記載の消費電力制御装置に於いて、前記バンクビジー制御部は、前記モード切り替え信号によるモードの切り替え時に外部から供給されるバンクビジー時間を保持し、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから前記保持しているバンクビジー時間が経過するまでの間、前記アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止する構成を有することを特徴とする消費電力制御装置。

【請求項 7】 請求項 6 記載の消費電力制御装置に於いて、前記バンクビジー制御部は、前記モード切り替え信号によるモードの切り替え時に外部から供給される前記バンクビジー時間に対応するバンクビジー値を保持するバンクビジー時間設定レジスタと、

前記各メモリバンク毎のバンクビジーカウンタであって、対応するメモリバンクに対するアクセス処理が開始されることにより前記バンクビジー時間設定レジスタに設定されているバンクビジー値のカウントを開始するバンクビジーカウンタと、

前記各メモリバンク毎のアクセス判定回路であって、対応するバンクビジーカウンタのカウント値に基づいて対応するメモリバンクに対するアクセスを許可するか否かを判定するアクセス判定回路とを備えたことを特徴とする消費電力制御装置。

【請求項 8】 複数のメモリバンクを備えた主記憶装置の消費電力を制御する消費電力制御方法であって、前記主記憶装置を備えたコンピュータシステムの運用中に加えられるモード切り替え信号によって省電力モードが指示されている場合は、前記モード切り替え信号によって通常モードが指示されている場合に比較して、バンクビジーにより前記各メモリバンクに対するアクセスが禁止される割合を多くすることを特徴とする消費電力制御方法。

【請求項 9】 複数のメモリバンクを備えた主記憶装置の消費電力を制御する消費電力制御方法であって、前記主記憶装置を備えたコンピュータシステムの運用中に加えられるモード切り替え信号によって通常モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから予め決められているバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止し、省電力モードが指示されている場合は、前記複数のメモリバンクの内の何れか 1 つのメモリバンクに対するアクセス処理が開始されてから前記バンクビジー時間が経過するまでの間、前記複数のメモリバンク全てに対するアクセス処理の開始を禁止することを特徴とする消費電力制御方法。

【請求項 10】 複数のメモリバンクを備えた主記憶装置の消費電力を制御する消費電力制御方法であって、前記主記憶装置を備えたコンピュータシステムの運用中に加えられるモード切り替え信号によって通常モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから第 1 のバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止し、省電力モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから前記第 1 のバンクビジー時間よりも長い第 2 のバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理を禁止することを特徴とする消費電力制御方法。

【請求項 11】 複数のメモリバンクを備えた主記憶装置の消費電力を制御する消費電力制御方法であって、

前記主記憶装置を備えたコンピュータシステムの運用中に加えられるモード切り替え信号によるモードの切り替え時に外部から供給されるバンクビジー時間を保持し、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから前記保持しているバンクビジー時間が経過するまでの間、前記アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止することを特徴とする消費電力制御方法。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は、複数のメモリバンクを備えた主記憶装置の消費電力を制御する技術に関し、特に、システム運用状態のままメモリバンクの最短アクセスサイクル時間をダイナミックに変更することにより消費電力を制御する技術に関する。

【0002】

【従来の技術】主記憶装置の消費電力を制御する従来の技術として、省電力モード時には通常モード時に比較してプロセッサの動作周波数を下げるという技術が従来から知られている。また、主記憶装置に対するアクセス処理を高速化するため、主記憶装置を複数のメモリバンクから構成する共に各メモリバンクのビジー状態を管理し、ビジー状態でないメモリバンクに対するメモリアクセスリクエストを選択的に実行するということが従来から行われている。ビジー状態の管理は、バンクビジー時間に基づいて行われており、このバンクビジー時間は、システム初期化時に設定される（例えば、特開平 3-233754 号公報）。

【0003】

30 【発明が解決しようとする課題】上述した従来の技術の内、動作周波数を変更することにより、主記憶装置の消費電力を制御する技術には、プロセッサ側のハードウェア量が增大するという問題がある。また、バンクビジー時間をシステム初期化時に設定できるようにした従来の技術は、将来、メモリバンクのバンクビジー時間が短縮された場合、それに容易に対応できるようにするためになされたものであり、主記憶装置の消費電力を制御するためのものではない。

40 【0004】そこで、本発明の目的は、プロセッサ側のハードウェア量を増大させることなく、複数のメモリバンクによって構成される主記憶装置の消費電力を制御できるようにすることにある。

【0005】

【課題を解決するための手段】本発明の消費電力制御装置は、上記目的を達成するため、複数のメモリバンクを備えた主記憶装置の消費電力を制御する消費電力制御装置であって、前記各メモリバンクのバンクビジー状態を管理し、前記主記憶装置を備えたコンピュータシステムの運用中に加えられるモード切り替え信号によって省電力モードが指示されている場合は、前記モード切り替え

信号によって通常モードが指示されている場合に比較して、バンクビジーにより前記各メモリバンクに対するアクセスが禁止される割合を多くするバンクビジー制御部を備えている。

【0006】この構成によれば、コンピュータシステムの動作時に、モード切り替え信号によって省電力モードにすることを指示すると、バンクビジーにより各メモリバンクに対するアクセスが禁止される割合が多くなる。この結果、メモリバンクに対する単位時間当たりのアクセス回数が減り、主記憶装置の消費電力が低減する。また、この構成は、プロセッサ側のハードウェアを増大させずに実現できる。

【0007】バンクビジー制御部のより具体的な構成としては、例えば下記(A)～(C)の構成を採用することができる。

【0008】(A)前記バンクビジー制御部は、前記モード切り替え信号によって通常モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから予め決められているバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止し、省電力モードが指示されている場合は、前記複数のメモリバンクの内の何れか1つのメモリバンクに対するアクセス処理が開始されてから前記バンクビジー時間が経過するまでの間、前記複数のメモリバンク全てに対するアクセス処理の開始を禁止する構成を有する。

【0009】(B)前記バンクビジー制御部は、前記モード切り替え信号によって通常モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから第1のバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止し、省電力モードが指示されている場合は、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから前記第1のバンクビジー時間よりも長い第2のバンクビジー時間が経過するまでの間、該アクセス処理の開始されたメモリバンクに対する新たなアクセス処理を禁止する構成を有する。

【0010】(C)前記バンクビジー制御部は、前記モード切り替え信号によるモードの切り替え時に外部から供給されるバンクビジー時間を保持し、前記複数のメモリバンクの内の任意のメモリバンクに対するアクセス処理が開始されてから前記保持しているバンクビジー時間が経過するまでの間、前記アクセス処理の開始されたメモリバンクに対する新たなアクセス処理の開始を禁止する構成を有する。

【0011】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。

【0012】図1は本発明の実施例のブロック図である。主記憶装置1は、リクエスト入力制御部2と、バンクビジー制御部3と、リクエストバッファ制御部4と、インターリーブアクセスを可能にするための第0～第3のメモリバンク5-0～5-3と、リプライ制御部6とを備えており、図示を省略した上位装置(プロセッサ)と接続されている。

【0013】第0～第3のメモリバンク5-0～5-3は、ダイナミックRAM等の記憶素子によって構成される。

【0014】リクエスト入力制御部2は、上位装置から送られてきたメモリアクセスリクエスト100を受信すると、それを解読し、アクセスアドレス200、リクエスト種別201、メモリへの書き込みデータ202及びリクエスト番号203を含むメモリアクセス情報をリクエストバッファ制御部4へ渡す。尚、リクエスト種別201が読み出しの場合は、書き込みデータ202は含まれない。

【0015】リクエストバッファ制御部4は、リクエスト入力制御部2から渡されたメモリアクセス情報を、それに従ったアクセス処理が可能となるまでの間、m(複数)ワード構成のリクエストバッファ41に一時的に保持させる。その際、空きワードの内の最若番のワードにメモリアクセス情報を保持させる。また、ワードi($0 \leq i \leq m$)に保持されているメモリアクセス情報に従ったアクセス処理が実行され、ワードiが空きになると、ワード(i+1)以降に保持されていたメモリアクセス情報が、1ワードずつ若番のワードにだるま落とし式に詰まっていく。

【0016】また、リクエストバッファ制御部4は、バンクビジー制御部3に対して、リクエストバッファ41にどのメモリバンクへのメモリアクセス情報が保持されているかを示すアクセス要求信号410～413(下位1桁の0～3がそれぞれメモリバンク5-0～5-3に対応し、論理“1”の場合は保持していることを示し、論理“0”の場合は保持していないことを示す)を出力する。例えば、メモリバンク5-0に対するメモリアクセス情報のみが保持されている場合は、アクセス要求信号410のみを“1”とし、メモリバンク5-2、5-3に対するメモリアクセス情報が保持されている場合は、アクセス要求信号412、413の2つを“1”とする。

【0017】また、リクエストバッファ制御部4は、リクエストバッファ41に保持されている各メモリバンクに対するメモリアクセス情報の内の、アクセス許可信号300～303(下位1桁の0～3がメモリバンク5-0～5-3に対応し、その値が“1”の場合は対応するメモリバンクへのアクセスを許可し、“0”の場合はアクセスを禁止することを示す)によってアクセスが許可されているメモリバンクに対するメモリアクセス情報

を、最若番ワードに保持されているものから優先的に処理する。その際、同一メモリバンクへ向かうメモリアクセス情報は、データ保証のため保持順序通りに処理し、異なるバンクに向かうメモリアクセス情報間ではアクセス順序の入れ替え処理をする方式で、アクセス許可されたメモリバンクへのアクセス処理を行う。このアクセス処理に於いては、処理対象にしているメモリアクセス情報に基づいて、そのメモリアクセス情報がアクセス処理対象にしているメモリバンク $5-n$ ($0 \leq n \leq 3$) に対するバンク制御信号 $40n$ (アドレス、アクセス種別、アクセス種別が書き込みの場合は書き込みデータを含む) を生成し、該当するメモリバンク $5-n$ へ出力する。

【0018】メモリバンク $5-n$ へのアクセス処理を開始すると、リクエストバッファ制御部 4 は、アクセス開始信号 $420 \sim 423$ (下位 1 桁の $0 \sim 3$ はそれぞれメモリバンク $5-0 \sim 5-3$ に対応) の内の、メモリバンク n に対応するアクセス開始信号 $42n$ を “1” とする。また、リクエストバッファ制御部 4 は、上位装置に対してリクエスト処理開始のリブライとして処理したリクエスト番号を送出する。このことにより上位装置は、主記憶装置 1 でどのメモリアクセスリクエストが処理されたかを認識し、読み出しリクエストの場合には、このリブライ送出から一定マシサイクル時間経過後に読み出しデータ $500 \sim 503$ をリブライ制御部 6 経由で取得し、メモリアクセス処理を完了する。尚、リクエストバッファ 41 に空きワードがなくなった場合には、主記憶装置ビジー信号 410 を使用して主記憶装置 1 がビジー状態であることを上位装置へ通知し、上位装置からのメモリアクセスリクエスト送出を抑止する。

【0019】リブライ制御部 6 は、リブライデータ $500 \sim 503$ を出力するメモリバンク $5-0 \sim 5-3$ の内の読み出し対象となっているメモリバンクを選択し、選択したメモリバンクから出力されたリブライデータに対する ECC チェック等を行う機能を有する。

【0020】バンクビジー制御部 3 は、各メモリバンク $5-0 \sim 5-3$ がビジー状態であるかアクセス可能状態であるかを管理しており、リクエストバッファ制御部 4 からアクセス要求信号 $41n$ によりメモリバンク $5-n$ に対するアクセスが要求された場合、メモリバンク $5-n$ がアクセス可能状態であればアクセス許可信号 $30n$ を “1” にしてメモリバンク $5-n$ に対するアクセスを許可し、ビジー状態であればアクセス可能状態になるのを待ってアクセス許可信号 $30n$ を “1” にする。各メモリバンク $5-0 \sim 5-3$ がビジー状態であるかアクセス可能状態であるのかの管理は、リクエストバッファ制御部 4 から加えられるアクセス開始信号 $420 \sim 423$ と、モード切り替え信号 101 とに基づいて行う。モード切り替え信号 101 は、動作モードを通常モードにするのか、省電力モードにするのかを指示する信号であ

り、例えば、コンピュータシステムの管理者がシステム運用時に図示を省略したモード切り替えボタンを操作することにより発生させる。モード切り替え信号 101 により省電力モードが指示されている場合は、通常モードが指示されている場合に比較して、アクセスが禁止される割合 (アクセス要求信号 $410 \sim 413$ が “1” となつても直ちにアクセスを許可しない割合) が多くなるように、ビジー状態、アクセス可能状態を管理する。

【0021】図 2 のブロック図に、上記した機能を有するバンクビジー制御部 3 の一構成例を示す。同図に示すように、バンクビジー制御部 3 は、バンクビジー時間設定レジスタ 30 と、フリップフロップで構成される各メモリバンク $5-0 \sim 5-3$ 毎のバンクビジーカウンタ $31-0 \sim 31-3$ と、各メモリバンク $5-0 \sim 5-3$ 毎のアクセス判定回路 $32-0 \sim 32-3$ と、メモリバンク $5-0 \sim 5-3$ 毎のセクタ回路 $33-0 \sim 33-3$ とを備えている。

【0022】バンクビジー時間設定レジスタ 30 には、バンクビジー時間に対応するカウント値が設定されている。

【0023】セクタ回路 $33-0 \sim 33-3$ は、それぞれモード切り替え信号 101 が通常モードを指示している場合は、アクセス開始信号 $420 \sim 423$ を選択し、省電力モードを指示している場合は、アクセス開始信号 $420 \sim 423$ の論理和を選択する。

【0024】バンクビジーカウンタ $31-0 \sim 31-3$ は、それぞれセクタ回路 $33-0 \sim 33-3$ の出力信号が立ち下がることにより、バンクビジー時間設定レジスタ 30 に設定されているカウント値をプリセットし、1 マシサイクル毎にカウント値を “-1” する。カウント値が “0” になると、カウント値を 0 ホールドし、対応するメモリバンクがアクセス可能状態になったことを表示する。

【0025】アクセス判定回路 $32-0 \sim 32-3$ は、それぞれアクセス要求信号 $410 \sim 413$ が “1” になり、メモリバンク $5-0 \sim 5-3$ に対するアクセスが要求されると、バンクビジーカウンタ $31-0 \sim 31-3$ のカウント値が “0” の場合は、直ちにアクセス許可信号 $300 \sim 303$ を “1” にして対応するメモリバンク $5-0 \sim 5-3$ へのアクセスを許可し、バンクビジーカウンタ $31-0 \sim 31-3$ のカウント値が “0” でない場合は、カウント値が “0” になるのを待ってアクセス許可信号 $300 \sim 303$ を “1” にする。

【0026】以下にバンクビジー制御部 3 の動作を説明をする。

【0027】先ず、モード切り替え信号 101 が通常モードを指示している場合 (モード切り替え信号 = “0” の場合) の動作を説明する。今、例えば、バンクビジーカウンタ $31-0 \sim 31-3$ のカウント値が全て “0” の状態に於いて、メモリバンク $5-0$ に対応するアクセ

ス開始信号 420 のみが “1” になったとする。このとき、各セクタ回路 33-0~33-3 は、アクセス開始信号 420~423 を選択する状態になっているので、セクタ回路 33-0 の出力信号のみが “1” となった後に立ち下がり、他のセクタ回路 33-1~33-3 の出力信号は “0” のままとなる。この結果、バンクビジーカウンタ 31-0~31-3 の内の、バンクビジーカウンタ 31-0 のみにバンクビジー時間に対応したカウント値（バンクビジー時間設定レジスタ 30 に設定されているカウント値）がプリセットされ、他のバンクビジーカウンタ 31-1~31-3 のカウント値は「0」のままとなる。従って、メモリバンク 5-0 のみがアクセス禁止状態となり、他のメモリバンク 5-1~5-3 はアクセス可能状態のままとなる。その後、バンクビジーカウンタ 31-0 は、1 マシンサイクル毎にカウント値を -1 する。そして、バンクビジー時間が経過し、バンクビジーカウンタ 31-0 のカウント値が「0」になると、メモリバンク 5-0 がアクセス可能状態になる。

【0028】次に、モード切り替え信号 101 が省電力モードを指示している場合（モード切り替え信号＝“1” の場合）の動作を説明する。今、例えば、バンクビジーカウンタ 31-0~31-3 のカウント値が全て「0」の状態に於いて、メモリバンク 5-0 に対するアクセス開始信号 420 のみが “1” になったとする。この時、各セクタ回路 33-0~33-3 は、アクセス開始信号 420~423 の論理和を選択する状態になっているので、全てのセクタ回路 33-0~33-3 の出力信号が “1” となった後に立ち下がる。この結果、全てのバンクビジーカウンタ 31-0~31-3 にバンクビジー時間に対応するカウント値がプリセットされる。従って、全てのメモリバンク 5-0~5-3 に対するアクセスが禁止状態になる。その後、各バンクビジーカウンタ 31-0~31-3 は、1 マシンサイクル毎にカウント値を -1 する。そして、バンクビジー時間が経過し、バンクビジーカウンタ 31-0~31-3 のカウント値が「0」となることにより、メモリバンク 5-0~5-3 がアクセス可能状態となる。

【0029】

【実施例の動作の説明】次に本実施例の動作について各図を参照して詳細に説明する。ここで、1 マシンサイクル時間を 1 T と定義し、本実施例のコンピュータシステムにおいては、上位装置から主記憶装置 1 に対するメモリアクセスレートを 4 T / 1 リクエストとする。また、リクエストバッファ制御部 4 からメモリバンク 5-n へのリクエスト発行最小レートについても上位装置インタフェース同様に 4 T / 1 リクエストの発行レートとし、バンクビジー時間（或るメモリバンクに対するアクセス処理が開始されてから、上記或るメモリバンクに対する次のアクセスが可能になるまでの最短時間）を 16 T と

する。

【0030】最初に通常モード時における主記憶装置 1 のメモリアンターリーブ動作を、図 3 のタイミングチャートを参照して説明する。

【0031】図 3 に示すように T0 時刻、T4 時刻、T8 時刻、T12 時刻、…に於いて、リクエスト入力制御部 2 が上位装置から送られてきたメモリバンク 5-0、5-1、5-2、5-3 に対するメモリアクセスリクエスト RQ0、RQ1、RQ2、RQ3、…を受信し、このタイミングよりも 1 T 遅れでリクエストバッファ制御部 4 内のリクエストバッファ 41 にメモリアクセスリクエスト RQ0、RQ1、RQ2、RQ3、…に対応するメモリアクセス情報 RQ0a、RQ1a、RQ2a、RQ3a、…が格納されたとする。尚、T0 時刻に於いては、リクエストバッファ 41 は空状態であり、バンクビジーカウンタ 31-0~31-3 のカウント値は全て「0」になっているとする。

【0032】T1 時刻でメモリアクセス情報 RQ0a がリクエストバッファ 41 のワード 0 に格納されると、リクエストバッファ制御部 4 は、アクセス要求信号 410 を “1” にし、メモリバンク 5-0 に対するアクセスをバンクビジー制御部 3 に要求する。この時、バンクビジーカウンタ 31-0 のカウント値は「0」になっており、先行リクエストが存在しないことを示しているので、アクセス判定回路 32-0 は、アクセス許可信号 300 を “1” にし、リクエストバッファ制御部 4 に対してメモリバンク 5-0 のアクセス処理を許可する。これにより、リクエストバッファ制御部 4 は、バンク制御信号 400 を使用したメモリバンク 5-0 へのアクセス処理を開始すると共に、アクセス開始信号 420 を 1 T の間 “1” にしメモリバンク 5-0 に対するアクセス処理を開始したことをバンクビジー制御部 3 に通知する。その後、リクエストバッファ制御部 4 は、アクセス処理を開始したメモリバンク 5-0 へのアクセス要求信号 410 を “0” に戻す。

【0033】アクセス開始信号 420 が立ち下がり、セクタ回路 33-0 の出力信号が立ち下がると、バンクビジーカウンタ 31-0 がバンクビジー時間設定レジスタ 30 に設定されているカウント値（この例の場合、バンクビジー時間 16 T だけメモリバンクをビジー状態にするためのカウント値「15」）をプリセットし（T2 時刻）、以後 1 T 毎にカウント値を -1 する。この結果、メモリバンク 5-0 は、T2 時刻~T16 時刻までの間、ビジー状態となり、メモリバンク 5-0 への次のアクセス処理が許可されるのは、T17 時刻となる。

【0034】その後、T5 時刻に於いてメモリアクセスリクエスト RQ1 に対応するメモリアクセス情報 RQ1a がリクエストバッファ 41 のワード 0 に格納されると、メモリアクセス情報 RQ0a が格納された場合と同様の動作が行われ、T5 時刻に於いてメモリバンク 5-

1に対するアクセス処理が開始され、T6時刻においてバンクビジーカウンタ31-1に「15」がプリセットされ、T20時刻までメモリバンク5-1がバンクビジー状態となる。

【0035】その後、T9時刻に於いてメモリアクセスリクエストRQ2に対応するメモリアクセス情報RQ2aがリクエストバッファ41に格納されると、T9時刻に於いてメモリバンク5-2に対するアクセス処理が開始され、T10時刻に於いてバンクビジーカウンタ31-2に「15」がプリセットされ、T24時刻までメモリバンク5-2がバンクビジー状態となる。

【0036】その後、T13時刻に於いてメモリアクセスリクエストRQ2に対応するメモリアクセス情報RQ2aがリクエストバッファ41に格納されると、T13時刻に於いてメモリバンク5-3に対するアクセス処理が開始され、T14時刻に於いてバンクビジーカウンタ31-3に「15」がプリセットされ、T28時刻までメモリバンク5-3はバンクビジー状態となる。

【0037】これ以降も、4Tサイクルで、メモリバンク5-0~5-3に対するアクセス処理が順次開始される。

【0038】このように通常モード時には、4Tサイクル毎に、メモリバンク5-0~5-3に対するアクセス処理が順次開始され、各メモリバンク5-0~5-3に於いては、バンクビジー時間16Tが経過する毎(アクセス処理が完了する毎)に新たなアクセス処理が開始されるので、タイミングチャートのT13時刻以降は全メモリバンク5-0~5-3の記憶素子が動作状態となる。

【0039】次に省電力モード時における主記憶装置1の動作を図4のタイミングチャートを参照して説明する。

【0040】図4に示すように、T0時刻、T4時刻、T8時刻、T12時刻、T16時刻に於いて、リクエスト入力制御部2が、上位装置から送られてきたメモリバンク5-0、5-1、5-2、5-3、5-0に対するメモリアクセスリクエストRQ0、RQ1、RQ2、RQ3、RQ4を受信し、このタイミングより1T遅れでリクエストバッファ制御部4のリクエストバッファ41へ各メモリアクセスリクエストRQ0、RQ1、RQ2、RQ3、RQ4と対応するメモリアクセス情報RQ0a、RQ1a、RQ2a、RQ3a、RQ4aが格納されたとする。尚、T0時刻に於いては、リクエストバッファ41が空き状態で、各バンクビジーカウンタ31-0~31-3のカウンタ値が「0」であったとする。

【0041】T1時刻に於いて、メモリアクセスリクエストRQ0に対応するメモリアクセス情報RQ0aがリクエストバッファ41のワード0に格納されると、リクエストバッファ制御部4は、アクセス要求信号410を

バンクビジー制御部3に要求する。この時、バンクビジーカウンタ31-0のカウンタ値は「0」になっており、先行リクエストが存在しないことを示しているため、アクセス判定回路32-0は、アクセス許可信号300を“1”にし、リクエストバッファ制御部4によるメモリバンク5-0へのアクセス処理を許可する。これにより、リクエストバッファ制御部4は、バンク制御信号400を使用したメモリバンク5-0へのアクセス処理を開始すると共に、アクセス開始信号420を1T間“1”にしバンクビジー制御部3へメモリバンク5-0へのアクセス処理を開始したことを通知する。その後、リクエストバッファ制御部4は、アクセス処理を開始したメモリバンク5-0へのアクセス要求信号410を“0”に戻す。

【0042】アクセス開始信号420が立ち下がり、セレクト回路33-0~33-3の出力信号が立ち下ると、全てのバンクビジーカウンタ31-0~31-3がバンクビジー時間設定レジスタ30に設定されているカウンタ値「15」をプリセットし(T2時刻)、以後1T毎にカウンタ値を-1する。この結果、全てのメモリバンク5-0~5-3は、T16時刻までの間、バンクビジー状態となる。

【0043】T17時刻に於いて、バンクビジーカウンタ31-0~31-3のカウンタ値が「0」となると、アクセス判定回路32-0~32-3は、アクセス許可信号300~303を“1”とし、全てのメモリバンク5-0~5-3に対するアクセス処理を許可する。これにより、リクエストバッファ制御部4は、アクセス処理が許可されているメモリバンクに対するメモリアクセス情報の内の、最若番ワードに格納されているメモリアクセス情報(この例では、リクエストバッファ41のワード0に格納されているメモリアクセス情報RQ1a)に従って、メモリバンク5-1に対するアクセス処理を開始すると共に、アクセス開始信号421を“1”にしてメモリバンク5-1へのアクセス処理を開始したことをバンクビジー制御部3に通知する。その後、リクエストバッファ制御部4は、アクセス処理を開始したメモリバンク5-1に対するアクセス要求信号411を“0”に戻す。尚、このT17時刻に於いては、全てのメモリバンク5-0~5-3に対するアクセス許可信号300~303が“1”となっているが、リクエストバッファ制御部4からメモリバンク5-0~5-3への最小アクセスサイクル4Tが経過した時点に於いては、全てのアクセス許可信号300~303が全て“0”となるので、メモリバンクに対するアクセス処理は行われない。

【0044】T18時刻に於いて、全てのバンクビジーカウンタ31-0~31-3がバンクビジー時間設定レジスタ30に設定されているカウンタ値「15」をプリセットする。この結果、T32時刻まで全てのメモリバンク5-0~5-3がバンクビジー状態になる。

【0045】以下、同様の動作が行われ、16T間隔で1つのメモリバンクに対するアクセス処理が開始される。このように、省電力モード時には、16T間隔で1つのメモリバンクに対するアクセス処理が開始されるので、同時に複数のメモリバンクが動作することはない。従って、省電力モード時に於いては、通常モード時と比較して全メモリバンクの動作率は、 $1/4$ へと制限される。

【0046】

【発明の他の実施例】次に、本発明の他の実施例について図面を参照して詳細に説明する。

【0047】図5はバンクビジー制御部3の他の構成例を示すブロック図であり、第1、第2のバンクビジー時間設定レジスタ30-0、30-1と、メモリバンク5-0~5-3に対応して設けられたバンクビジーカウンタ31-0~31-3と、アクセス判定回路32-0~32-3と、セクタ回路33とから構成されている。

【0048】第1のバンクビジー時間設定レジスタ30-0には、通常モード時のバンクビジー時間に対応する第1のカウンタ値が設定されている。第2のバンクビジー時間設定レジスタ30-1には、省電力モード時のバンクビジー時間に対応する第2のカウンタ値が設定されている。第2のカウンタ値は、第1のカウンタ値よりも大きな値となっている。

【0049】セクタ回路33は、モード切り替え信号101によって通常モードが指示されている場合は第1のバンクビジー時間設定レジスタ30-0のカウンタ値を選択し、省電力モードが指示されている場合は、第2のバンクビジー時間設定レジスタ30-1のカウンタ値を選択する。

【0050】メモリバンク5-0~5-3に対応して設けられているバンクビジーカウンタ31-0~31-3は、アクセス開始信号420~423の立ち下がりに於いて、セクタ回路33によって選択されている第1或いは第2のカウンタ値をプリセットし、1マシンサイクル毎にカウンタ値を-1する。カウンタ値が「0」になると、カウンタ値を0ホールドし、対応するメモリバンクがアクセス可能状態になったことを表示する。

【0051】アクセス判定回路32-0~32-3は、それぞれアクセス要求信号410~413が「1」になり、メモリバンク5-0~5-3に対するアクセスが要求されると、バンクビジーカウンタ31-0~31-3のカウンタ値が「0」の場合は、直ちにアクセス許可信号300~303を「1」にして対応するメモリバンク5-0~5-3へのアクセスを許可し、バンクビジーカウンタ31-0~31-3のカウンタ値が「0」でない場合は、カウンタ値が「0」になるのを待ってアクセス許可信号300~303を「1」にする。

【0052】次に、本実施例の動作について説明する。

【0053】今、例えば、メモリバンク5-0に対する

アクセスを要求するアクセス要求信号410が「1」になったとすると、アクセス判定回路320は、バンクビジーカウンタ31-0のカウンタ値が「0」であれば直ちにアクセス許可信号300を「1」にし、カウンタ値が「0」でなければ「0」になるのを待ってアクセス許可信号300を「1」にする。

【0054】アクセス許可信号300が「1」になると、リクエストバッファ制御部4は、メモリバンク5-0に対するアクセス処理を開始すると共に、アクセス開始信号420を1Tの間「1」にし、バンクビジー制御部3にメモリバンク5-0に対するアクセス処理を開始したことを通知する。その後、リクエストバッファ制御部4は、アクセス処理を開始したメモリバンク5-0に対するアクセス要求信号410を「0」に戻す。

【0055】アクセス開始信号420が立ち下ると、バンクビジーカウンタ31-0は、セクタ回路33によって選択されている第1或いは第2のカウンタ値をプリセットし、1マシンサイクル毎にカウンタ値を-1する。つまり、モード切り替え信号101によって通常モードが指示されている場合は、第1のカウンタ値をプリセットして1マシンサイクル毎にカウンタ値を-1し、省電力モードが指示されている場合は、第2のカウンタ値をプリセットして1マシンサイクル毎にカウンタ値を-1する。カウンタ値が「0」となるまでは、メモリバンク5-0に対するアクセスは禁止される。ここで、前述したように、第2のカウンタ値は第1のカウンタ値よりも大きな値であるので、省電力モード時には通常モード時よりも長い時間、メモリバンク5-0へのアクセスが禁止されることになり、メモリバンクを構成するメモリ素子の動作率を下げるができる。尚、他のメモリバンク5-1~5-3に於いても、同様の動作が行われ、省電力モード時にはメモリバンクを構成するメモリ素子の動作率が、通常モード時よりも下げられる。

【0056】図6はバンクビジー制御部3のその他の構成例を示すブロック図であり、メモリバンク5-0~5-3に対応して設けられたバンクビジーカウンタ31-0~31-3と、アクセス判定回路32-0~32-3と、バンクビジー時間設定レジスタ34とから構成されている。

【0057】バンクビジー時間設定レジスタ34は、モード切り替え信号101をレジスタへのセット信号とし、外部から加えられるバンクビジー時間に対応するバンクビジー値102を取り込む。

【0058】バンクビジーカウンタ31-0~31-3は、アクセス開始信号420~423の立ち下がりに於いて、バンクビジー時間設定レジスタ34に設定されているバンクビジー値をプリセットし、1マシンサイクル毎にカウンタ値を-1する。カウンタ値が「0」になると、カウンタ値を0ホールドし、対応するメモリバンクがアクセス可能状態になったことを表示する。

【0059】アクセス判定回路 32-0~32-3は、それぞれアクセス要求信号 410~413が「1」になり、メモリバンク 5-0~5-3に対するアクセスが要求されると、バンクビジーカウンタ 31-0~31-3のカウンタ値が「0」の場合は、直ちにアクセス許可信号 300~303を「1」にして対応するメモリバンク 5-0~5-3へのアクセスを許可し、バンクビジーカウンタ 31-0~31-3のカウンタ値が「0」でない場合は、カウンタ値が「0」になるのを待ってアクセス許可信号 300~303を「1」にする。

【0060】次に、本実施例の動作を説明する。

【0061】今、例えば、メモリバンク 5-0に対するアクセス要求信号 410が「1」になったとすると、アクセス判定回路 320は、バンクビジーカウンタ 31-0のカウンタ値が「0」であれば直ちにアクセス許可信号 300を「1」にし、カウンタ値が「0」でなければ「0」になるのを待ってアクセス許可信号 300を「1」にする。

【0062】アクセス許可信号 300が「1」になると、リクエストバッファ制御部 4は、メモリバンク 5-0に対するアクセス処理を開始すると共に、アクセス開始信号 420を 1Tの間「1」にしバンクビジー制御部 3にメモリバンク 5-0に対するアクセス処理を開始したことを通知する。その後、リクエストバッファ制御部 4は、アクセス処理を開始したメモリバンク 5-0に対するアクセス要求信号 410を「0」に戻す。

【0063】アクセス開始信号 420が立ち下がると、バンクビジーカウンタ 31-0は、バンクビジー時間設定レジスタ 34に設定されているバンクビジー値をプリセットし、1マシンサイクル毎にカウンタ値を-1する。カウンタ値が「0」となるまでは、メモリバンク 5-0に対するアクセスは禁止される。ここで、前述したように、バンクビジー時間設定レジスタ 34には、モード切り替え信号 101に同期して任意のバンクビジー値を設定することができるので、モード切り替え信号 101によって省電力モードを指示する場合には、通常モードを指示する場合よりも大きなバンクビジー値をバンクビジー時間設定カウンタ 34に設定することにより、省電力モード時にメモリバンク 5-0へのアクセスが禁止される時間を通常モード時よりも長い時間にすることができる。この結果、省電力モード時に於ける、メモリバンクを構成するメモリ素子の動作率を通常モード時よりも下げることができる。尚、他のメモリバンク 5-1~5-3に於いても、同様の動作が行われ、省電力モード時にはメモリバンクを構成するメモリ素子の動作率が、

通常モード時よりも下げられる。

【0064】

【発明の効果】以上説明したように、本発明の消費電力制御装置は、コンピュータシステムの運用中に加えられるモード切り替え信号によって省電力モードが指示されている場合は、通常モード時に比較して、バンクビジーにより各メモリバンクに対するアクセスが禁止される割合を多くするバンクビジー制御部を備えているので、プロセッサ側のハードウェア量を増大させることなく、主記憶装置の消費電力を制御できる。

【0065】従って、本発明の消費電力制御装置をバッテリー駆動が可能なノート型パーソナルコンピュータ等に適用すれば、バッテリー駆動時間を長くすることができ、また、プロセッサと主記憶装置が物理的に別のコンピュータケースに実装されているような大型コンピュータシステム等に適用すれば、主記憶装置側の冷却装置に問題が発生し温度異常を検出した時に主記憶装置側の消費電力を抑えることでシステムダウンに至ることなく保守交換時までシステムの運転を継続することが可能になる。

20 【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】バンクビジー制御部 3の一構成例を示すブロック図である。

【図3】通常モード時の動作を示すタイミングチャートである。

【図4】省電力モード時の動作を示すタイミングチャートである。

【図5】バンクビジー制御部 3の他の構成例を示すブロック図である。

30 【図6】バンクビジー制御部 3のその他の構成例を示すブロック図である。

【符号の説明】

- 1…主記憶装置
- 2…リクエスト入力制御部
- 3…バンクビジー制御部
- 4…リクエストバッファ制御部
- 41…リクエストバッファ
- 5-0~5-3…メモリバンク
- 6…リプライ制御部

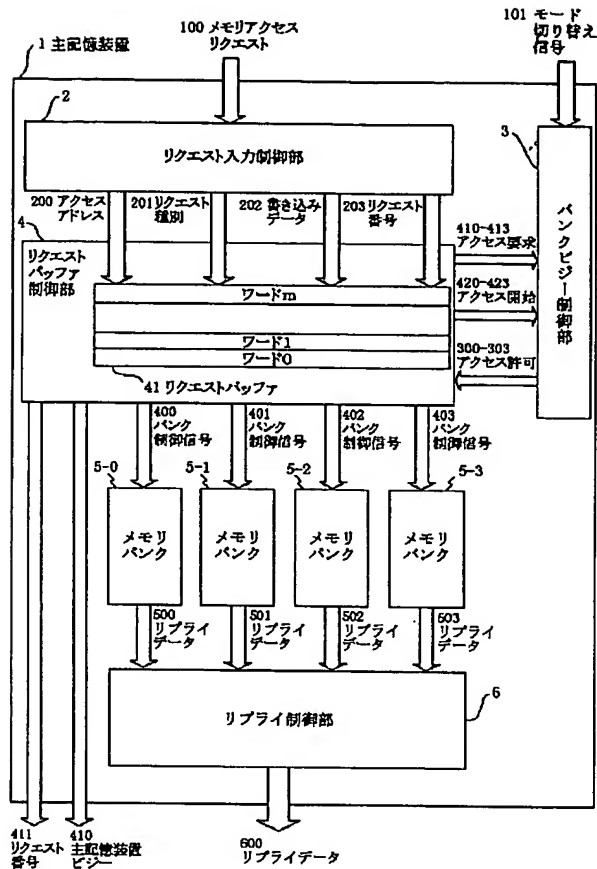
40 30, 30-0, 30-1, 34…バンクビジー時間設定レジスタ

31-0~31-3…バンクビジーカウンタ

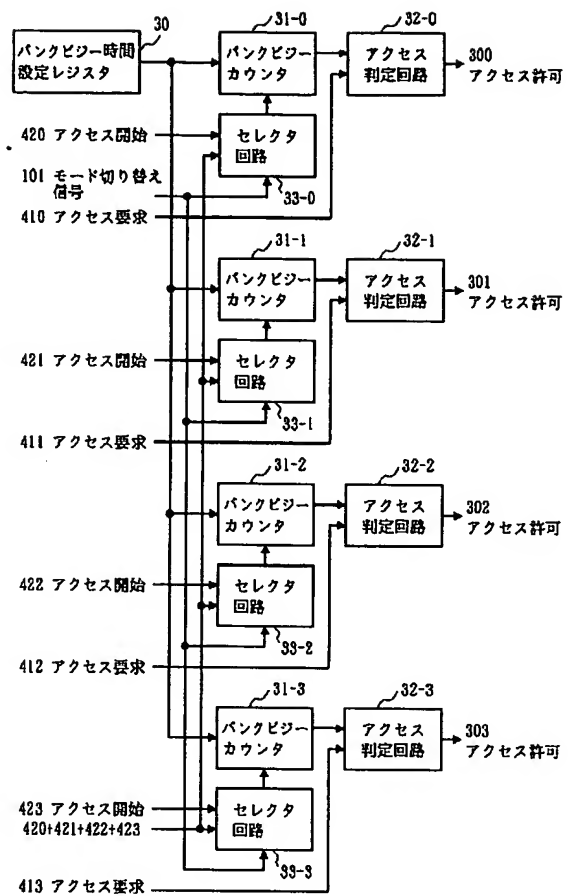
32-0~32-3…アクセス判定回路

33, 33-0~33-3…セレクト回路

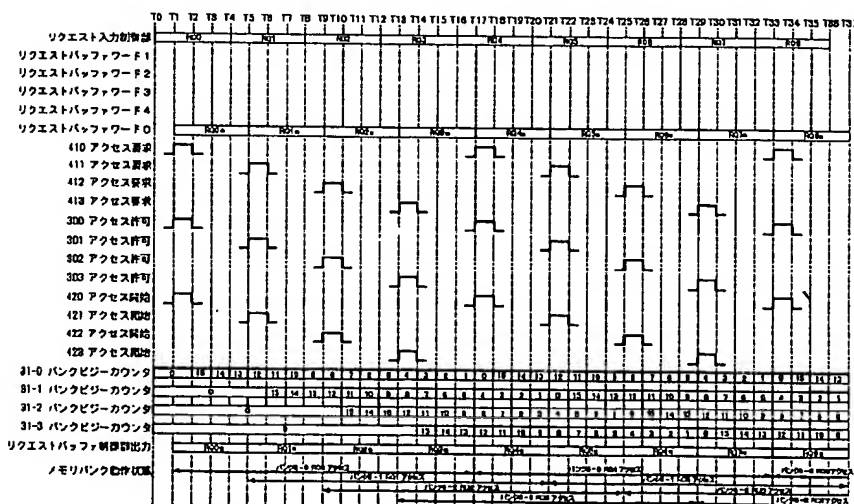
【图 1】



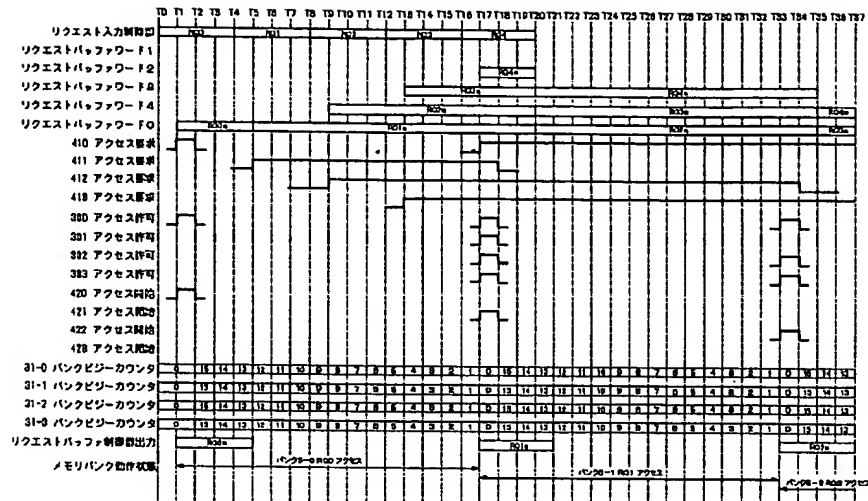
【圖 2】



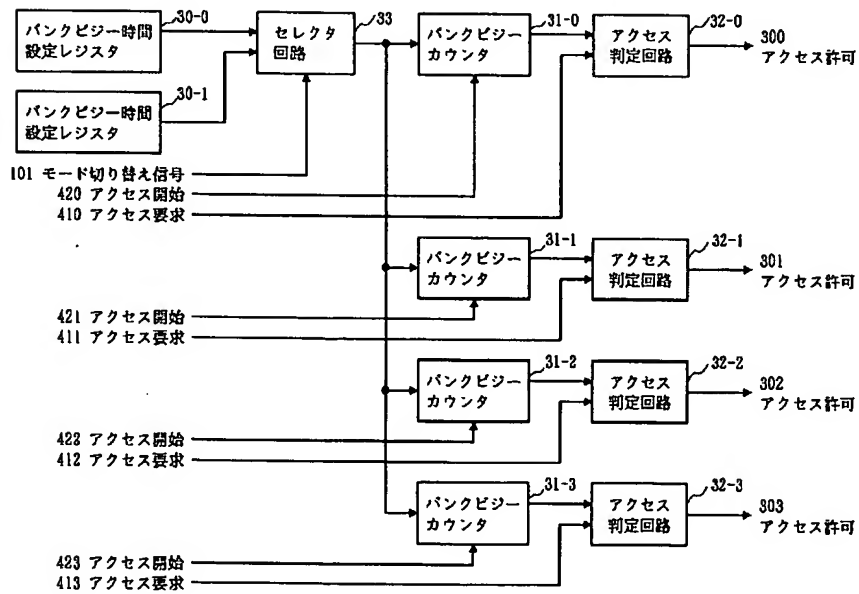
【図 3】



【図 4】



【図 5】



【図 6】

